

⑫ 公開特許公報(A)

昭62-251863

⑬ Int. Cl.

G 06 F 13/14
1/00

識別記号

3 3 0
1 0 3

庁内整理番号

B-7165-5B
B-7157-5B

⑭ 公開 昭和62年(1987)11月2日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 システムの起動方式

⑯ 特 願 昭61-93312

⑰ 出 願 昭61(1986)4月24日

⑱ 発 明 者 高 橋 賢 治

東京都大田区下丸子3丁目30番2号 キャノン株式会社内

⑲ 出 願 人 キャノン株式会社

東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 大塚 康徳

明 細 書

1. 発明の名称

システムの起動方式

2. 特許請求の範囲

(1) 複数の電子機器を接続したシステムにおいて、システム全体を統御する主電子機器と、その他の従電子機器と、該従電子機器の夫々についての2つの状態を保持する状態保持手段と、前記2つの状態に応じて前記従電子機器を個々に消勢状態又は付勢状態に置く置勢手段と、前記主電子機器の指令に応じて、前記状態保持手段を前記2つの状態のいずれかに設定する状態設定手段とを有するシステムの起動方式。

(2) 状態保持手段は従電子機器の数だけのフリップフロップからなる事の特徴とする特許請求の範囲第1項に記載のシステムの起動方式。

(3) 主電子機器の電源立ち上げ時に、状態設定手段は、状態保持手段を、従電子機器が消勢状態に置かれるように設定する事の特徴とする特許請求の範囲第1項に記載のシステムの起動方式。

(4) システム全体を消勢状態に置くスイッチを具備し、該スイッチの動作で、状態設定手段は全ての状態保持手段を、従電子機器が消勢状態に置かれるように設定する事の特徴とする特許請求の範囲第1項に記載のシステムの起動方式。

(5) 主電子機器は中央処理装置であり、従電子機器は周辺装置である事の特徴とする特許請求の範囲第1項に記載のシステムの起動方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えばパーソナルコンピュータ等のような主電子機器とそれに接続された例えば周辺装置等のような従電子機器とを接続したシステムにおけるシステムの起動方式に関する。

〔従来の技術〕

従来の上記システムにおける起動方式は、電源立ち上げ時及び、リセットスイッチ等の機械的な操作時に発生されるリセット（消勢）信号が、システム全体に供給され、例えばCPU、周辺装置がリセットされるような構成になっているのが一般的である。このような従来システムにおけるリセット時間は電源立ち上げ時のパワーオンリセット回路の時定数、又はリセットスイッチの押し時間のみで規定される。従って、上記のリセット後

は周辺装置等の従電子機器はいつでも動作可能状態にあり、もし例えばノイズ等により動作開始すると、他の機器に対するインタラプションになる。又、前記リセット時間中にノイズが発生すると、特定の機器のみがリセットされていない状態のままにある事があり、これがシステム暴走の原因になったりする。

〔発明が解決しようとする問題点〕

上記問題は、全てリセット信号が一定の時間しか発生しない事に起因する。そこで、本発明は上記問題点を解消するためになされたものでその目的は、複数の電子機器を接続したシステムにおいて、必要となるまでは不必要な電子機器は消勢状態に保持しておくような、システムの起動方式を提案する事にある。

〔問題点を解決するための手段〕

〔実施例〕

以下添付図面を参照しつつ、本発明に係る実施例を詳細に説明する事とする。

上記課題を達成するための本発明は、複数の電子機器を接続したシステムにおいて、システム全体を統御する主電子機器と、その他の従電子機器と、該従電子機器の夫々についての2つの状態を保持する状態保持手段と、前記2つの状態に応じて前記従電子機器を個々に消勢状態又は付勢状態に置く置勢手段と、前記主電子機器の指令に応じて、前記状態保持手段を前記2つの状態のいずれかに設定する状態設定手段とを有する構成をとる。

〔作用〕

上記構成において、いずれの従電子機器についても、その従電子機器に対応する状態保持手段を消勢状態／付勢状態のいずれの状態にあるまま保持する事が可能であるから、不必要な従電子機器は必要となるまで、消勢状態に置かれる。

第1図は本発明を所謂パーソナルコンピュータシステムに適用した場合を示す。1はパーソナルコンピュータ本体のCPU、2は二進から十進に変換するBCDデコーダ、3はn個のフリップフロップからなるnビットのレジスタ（又はラッチ）、4a～4cはORゲート、5a～5cは周辺装置であるI/O装置、6はリセットスイッチである。リセットスイッチ6、又は抵抗B、コンデンサ7からなるパワーオンリセット回路からの信号RSTによりリセットされる。即ち、CPU1、レジスタ3の全てのフリップフロップ（R₁～R_n）はリセットされる。CPU1については、信号RSTは例えばマイクロコンピュータ等

のリセット端子に入力される。又、レジスタ3については、そのMR(MASTER RESET)端子に信号RSTが入力されて、レジスタ3の全ビットがリセットされる。ところで、信号RSTはパルスであるから、パルスが“0”になると、CPU1のみが消勢状態から解除され、動作可能になる。その一方で、本実施例ではORゲート(4a~4c)の出力が“1”のときにI/O装置がリセットされるようになっているので、消勢状態のままである。従って、レジスタ3を構成するフリップフロップがリセットされている限り、それに対応するI/O装置はリセットされたままになっている。そこで、これらI/O装置のリセット解除について説明する。

どのI/O装置の消勢状態を解除して付勢状態におくかは、デコーダ2にどんな値を送るかによ

ぶに対応するI/O装置はリセット信号を供給されたままであるから、消勢状態に維持される。従って、そのI/O装置が勝手に動き出す事はなくなる。尚、レジスタ3はCPU1より任意にセット/リセット可能であるから、一度付勢状態にされたI/O装置を、対応するフリップフロップをリセットする事によつて、再度消勢状態にする事が可能である。

又更に、本発明はパーソナルコンピュータシステムに限らず、任意の電子機器システム構成であつて、全体を統御する主となる電子機器と、それらに接続される従の電子機器からなるシステムに適用可能であり、それらの接続も通常のケーブルによるインターフェース接続に限らず、通信線による接続までも可能である。

[発明の効果]

つて決まる。例えば、3番目のI/O装置を付勢しようとするれば、“2”をデータとして、デコーダ2に送る。デコーダ2にはCPU1からのこのようなデータが入力され、同時にCPU1からのラッチクロックが“1”のときにデコーダ2は付勢され、入力データを10進値に変換してその1つの出力端子のみを“1”にする。この“1”になつた出力端子に対応する唯一のフリップフロップがセットされる。従つて、R₁~R_nのうちの1つのフリップフロップの出力に接続されたI/O装置のみが、ORゲートを介してリセット解除される。ラッチクロックはレジスタ3の内容を変更するときのみ出力されるので、通常デコーダ2に入力されるデータが変化しても、レジスタ3の内容は変化しない。

こうして、リセットされているフリップフロップ

以上説明したように本発明によれば、いずれの従電子機器についても、その従電子機器に対応する状態保持手段を、消勢状態/付勢状態のいずれかの状態にあるまま保持する事が可能であるから、 unnecessary 従電子機器は必要となるまで、消勢状態に置かれ続け、従つて例えば unnecessary 電子機器が誤動作して勝手に動き出すような事はなくなり、信頼性が向上する。

4. 図面の簡単な説明

第1図は本発明をパーソナルコンピュータに適用したときの実施例のシステム構成図である。

図中、

1…CPU、2…BCDデコーダ、3…レジスタ、4a~4c…ORゲート、5a~5c…I/O装置である。

第 1 図

